

Posudek oponenta bakalářské práce

Student: Hak Tomáš
Téma: Implementace jednotky pro obsluhu bootování Intel FPGA (id 24669)
Oponent: Fukač Tomáš, Ing., UPSY FIT VUT

- 1. Náročnost zadání** **průměrně obtížné zadání**
Zadání práce si vyžadovalo seznámit se s možnostmi konfigurace moderních FPGA čipů Intel Stratix 10 a Agilix a vytvořit relativně jednoduchý nástroj pro nahrání nového bitstreamu do konfigurační paměti. Zadání proto považuji za průměrně obtížné.
- 2. Splnění požadavků zadání** **zadání splněno**
Všechny body zadání byly splněny v plném rozsahu, práce neobsahuje žádná rozšíření nad rámec zadání.
- 3. Rozsah technické zprávy** **splňuje pouze minimální požadavky**
Rozsah textu práce je přibližně 41 normostran a je doprovázen řadou často nepřiměřeně velkých obrázků. Celkový rozsah odhaduji na 55 normostran, což téměř odpovídá obvyklému rozmezí bakalářských prací.
- 4. Prezentací úroveň předložené práce** **55 b. (E)**
Jednotlivé kapitoly na sebe logicky navazují, avšak jejich rozsah často neodpovídá popisované problematice. Stěžejní kapitoly popisující možnosti konfigurace FPGA (2.3.1 a 2.3.2) jsou velmi stručné, některé způsoby konfigurace ani nepopisuje, v kapitole 3.4.1 chybí popis použití nástroje pro vytvoření správné struktury ve flash paměti (konfigurace nástroje atd). Naopak kapitolu 2.4 obsahující popis a časové diagramy sběrnice SPI považuji za zbytečnou. Názvy jednotlivých kapitol a jejich zanořování (až do čtvrté úrovně) nejsou voleny nejvhodněji. Informace v textu kapitol na sebe špatně navazují, text často předpokládá, že se čtenář v oblasti pohybuje, a proto často nevysvětluje pojmy, nebo je vysvětluje až dále v textu. Text je doplněn řadou obrázků, ty však nejsou často popsány (např. obr. 2.6), nejsou v textu zmíněny a odkazovány vůbec (2.3), případně se obrázek nachází až o několik stránek dále od textu, který ho popisuje (např. obr. 3.6). U mnoha obrázků se delší popis nachází přímo v popisku (např. obr. 2.4 a 2.5), text by se hodilo spíše zakomponovat do textu odpovídající kapitoly. Čtení a pochopení textu také velmi ztěžuje neustálé odkazování na kapitoly popisující zmíněný pojem (např. kapitola 3.3) a příklady kódu rozdělených na více stránek.
- 5. Formální úprava technické zprávy** **80 b. (B)**
Po jazykové stránce text práce obsahuje menší množství překlepů, často jsou použita nevhodná slovní spojení ("bylo potřeba obejít", "karta spadne", "signály fungují následujícím způsobem"). Z hlediska typografie text občas obsahuje obrázek na samostatných stránkách (str. 24 a 25), sirotky (str. 16) a text přetékájící přes okraj (str. 18).
- 6. Práce s literaturou** **50 b. (E)**
V práci jsou použity prameny, které jsou z většiny voleny vhodně s ohledem na téma práce, výjimkou jsou citace odkazující na blogy (citace 1 a 4). Citace pramenů je v textu uvedena jen zřídka a je proto obtížné odlišit, zda se jedná o převzaté prvky a z jakých pramenů případně pochází - úvod obsahuje pouze citace týkající se konfigurace konkrétních FPGA, ostatní informace nejsou citovány vůbec, kapitola 2.1 popisující různé technologie neobsahuje citaci žádnou (v souhrnu citací není žádná relevantní citace). U převzatých obrázků by bylo vhodné uvést zdroj, u knižního titulu pak číslo strany, ze kterých bylo čerpáno. V textu se pak často objevují odkazy ve formě URL (např. str. 6), vhodnější formou by byla poznámka pod čarou, případně je neuvádět vůbec (často nejsou relevantní).
- 7. Realizační výstup** **85 b. (B)**
Realizačním výstupem je hardwarová komponenta a nástroj pro přeprogramování konfigurační flash paměti FPGA akcelerační karty z hostitelského PC. Implementace hardwarové jednotky spočívala pouze ve vygenerování IP komponenty umožňující ovládat konfigurační logiku FPGA a vytvoření jednoduchého převodníku rozhraní (skládající se pouze z jednoho invertoru). Stěžejní částí práce byla proto integrace podpory do již existujícího softwaru. V rámci integrace bylo nutné pouze drobně upravit některé ovladače zařízení a částí kódů. Výsledné řešení je plně funkční, kvůli nedostupnosti vhodného přípravku však nebylo možné otestovat veškerou funkcionalitu.
- 8. Využitelnost výsledků**
Výsledky práce jsou spíše implementačního charakteru. Implementovaná hardwarová komponenta se softwarovou podporou umožňuje přeprogramovat konfigurační paměť moderních FPGA Intel Stratix 10 a Agilix a tak opravu funkcionalita a chyb akcelerační karty z hostitelského PC bez nutnosti připojení speciálního programovacího kabelu. Funkcionalita bude dále vyvíjena a používána v rámci sdružení CESNET.

9. Otázky k obhajobě

- V kapitole 4.3 je zmíněno, že do flash paměti je nutné zapisovat bity dat v opačném pořadí. V nástroji je však možné vygenerovat ".rpd" soubor, kde je pořadí bitů již upravené. Je takto vygenerovaný soubor detekován, je případně možné ho detekovat?
- Je nějakým způsobem detekováno, že při rebootu FPGA do některého z aplikačních bitstreamu došlo k chybě (neplatný či poškozený bitstream)?
- Je možné nějakým způsobem zaručit nabootování správného bitstreamu a zabránění nahrání a spuštění neautorizovaného bitstreamu?

10. Souhrnné hodnocení

65 b. uspokojivě (D)

Výsledkem práce je zajímavá a velmi užitečná funkcionality umožňující rekonfigurovat FPGA, nicméně vzhledem k značným výhradám k technické zprávě uděluji celkové hodnocení **D - uspokojivě**.

Prohlášení: Uděluji VUT v Brně souhlas ke zveřejnění tohoto posudku v listinné i elektronické formě.

V Brně dne: 2. června 2022

Fukač Tomáš, Ing.
oponent