Souhrnná výzkumná zpráva
k projektu
Vývoj ovladače rekonfigurovatelné platformy pro FreeRTOS

Projekt: Inovační voucher JIC - Vývoj ovladače rekonfigurovatelné platformy pro FreeRTOS

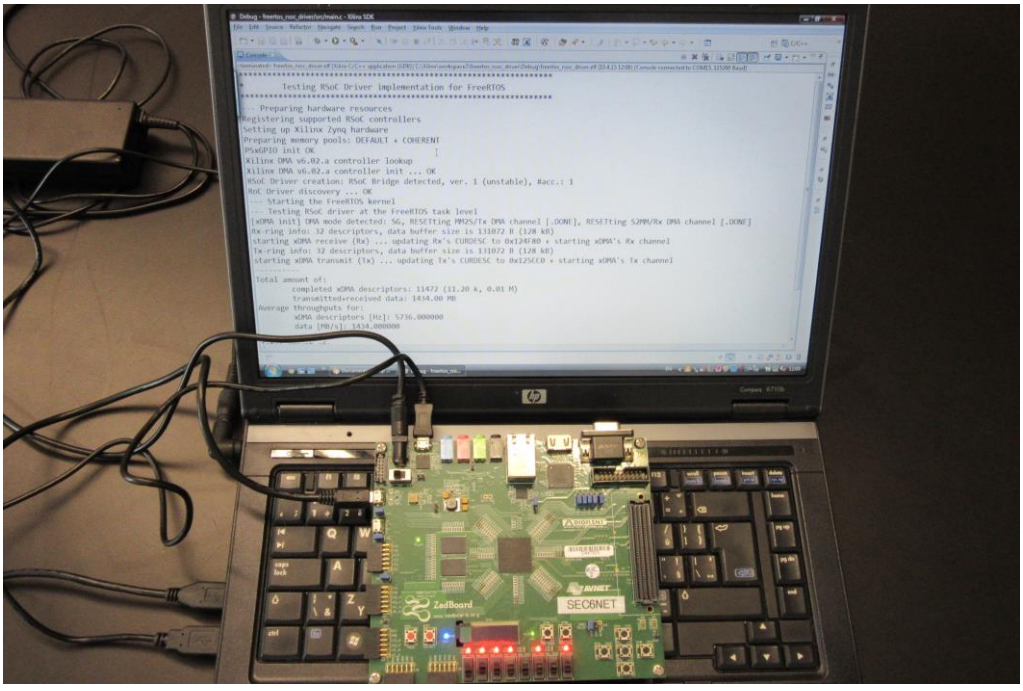
Objednatel: RehiveTech, spol. s r.o.

Zhotovitel: Vysoké učení technické v Brně

Předmětem plnění smlouvy o dílo ze dne 23. 6. 2014 mezi Objednatelem a Zhotovitelem, uzavřené v rámci projektu, byl vývoj kompletního ovladače pro FPGA komponenty – RSoC Bridge (dále „Dílo“) s cílem využití Díla v produktu Objednatele.

Dílo bylo vyvíjeno a testováno na, k tomuto účelu Objednatelem poskytnuté, platformě ZedBoard (s čipem Xilinx Zynq disponujícím moderním FPGA a výkonným procesorem typu ARM na jediném čipu) s cílem potencionální budoucí využitelnosti Díla Objednatelem na dalších obdobných platformách (např. Altera Cyclone V Soc) či operačních systémech (např. Linux).

Pro vývoj Díla bylo použito vývojové prostředí Xilinx SDK 2013.4 a FreeRTOS V7.0.2 dostupný pro toto prostředí.



Před vlastním vývojem bylo nutno provést sadu měření s cílem vyhodnotit vlastnosti a limity poskytnutých realizačních prostředků. Výchozí měření bylo založeno na RSoC prototypech loopback a measure dodaných k tomuto účelu ve formě bitstreamů pro FPGA.

Zejména byla provedena orientační měření pro zjištění vlivu nastavení vybraných vlastností paměťových oblastí (non-cached, write-back, write-through) na latenci/propustnost

paměťových operací nad těmito oblastmi a měření související s propustností Xilinx AXI DMA rozhraní.

V Brně dne 22. 12. 2014

Ing. Josef Strnadel, Ph. D.,

Vysoké učení technické v Brně, Fakulta informačních technologií