

Verifikace číslicových systémů

cvičení

Michal Kajan

Fakulta informačních technologií, Vysoké učení technické v Brně,
Božetěchova 2, 612 66 Brno



Tento materiál vznikl za podpory Fondu rozvoje vysokých škol (projekt 1798/2012).

Pokročilé číslicové systémy

12. + 13.12.2012

Návrh a vývoj číslicových systémů

- návrh a testování číslicových obvodů
 - VHDL, Verilog
- verifikace číslicových obvodů specializovanými jazyky
 - SystemVerilog
 - OpenVera
 - e
- verifikační prostředí
 - OVM
 - UVM
 - ...

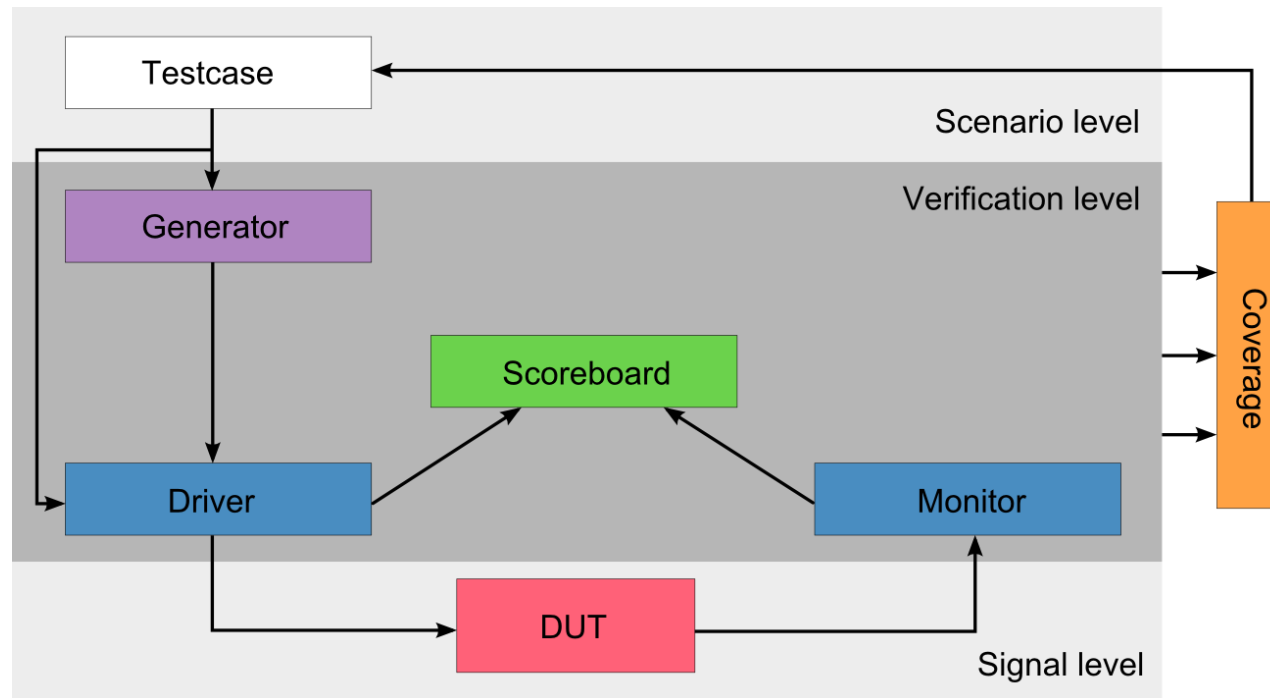
SystemVerilog

- 2005
- IEEE standard P1800-2005
- objektově orientovaný
- především pro verifikaci:
 - generování náhodných transakcí na základě omezujících podmínek (constrained-random stimulus)
 - podpora analýzy pokrytí funkcionality (coverage analysis)
 - kontrola platnosti zadaných podmínek (assertion-based verification)
- podpora více jazyků v jednom vytvářeném verif. prostředí (VHDL, Verilog, SystemC)

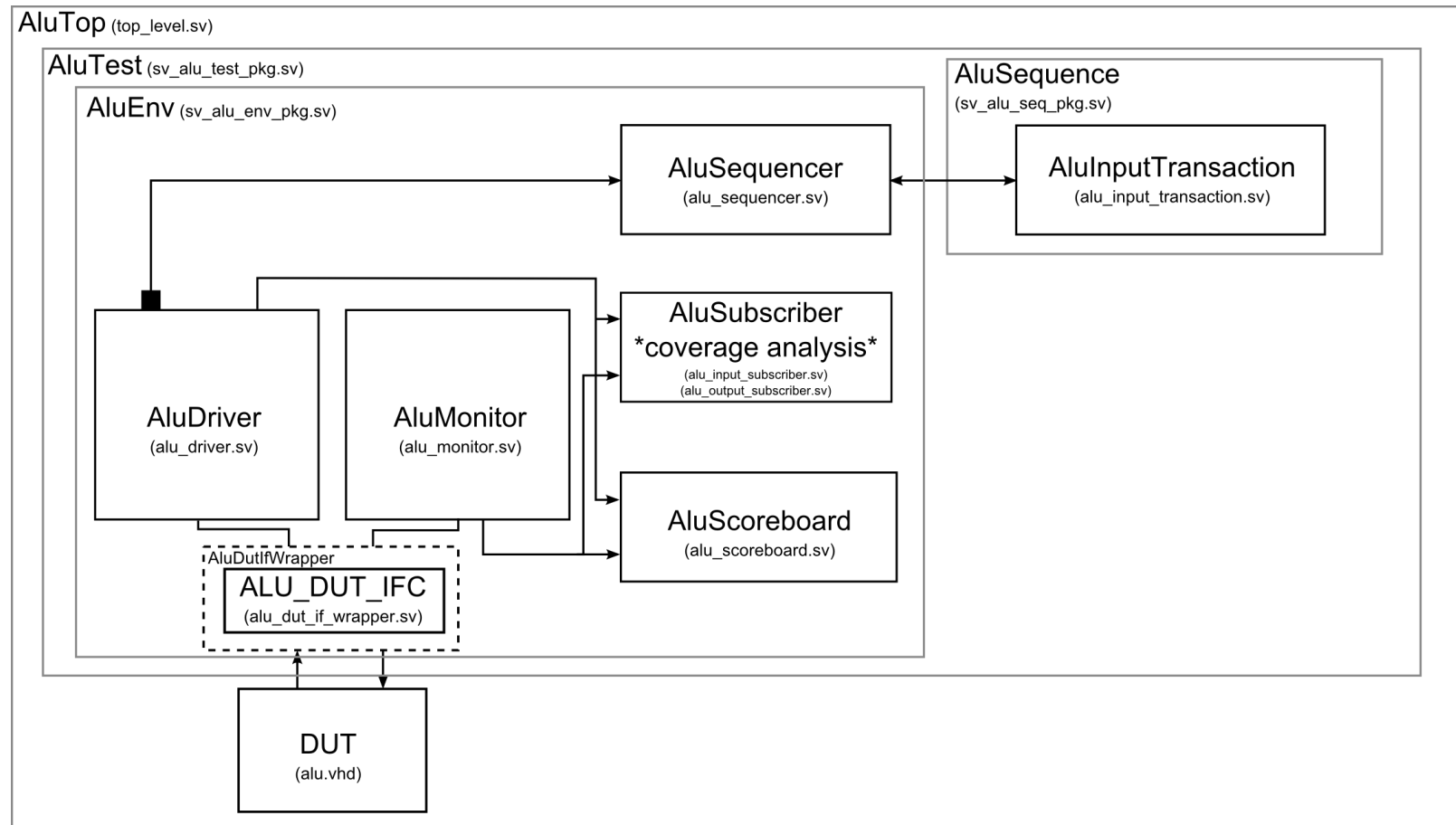
Open Verification Methodology

- metodika vystavěná na jazyku SystemVerilog
- knihovna tříd pro tvorbu verifikačních prostředí
- důraz na znovupoužitelnost (přednáška Honeywell!)
 - zrychlení vývoje
- hierarchické uspořádání komponent ve verifikačním prostředí
- komunikace na úrovni transakcí (Transaction Level Modelling – TLM)

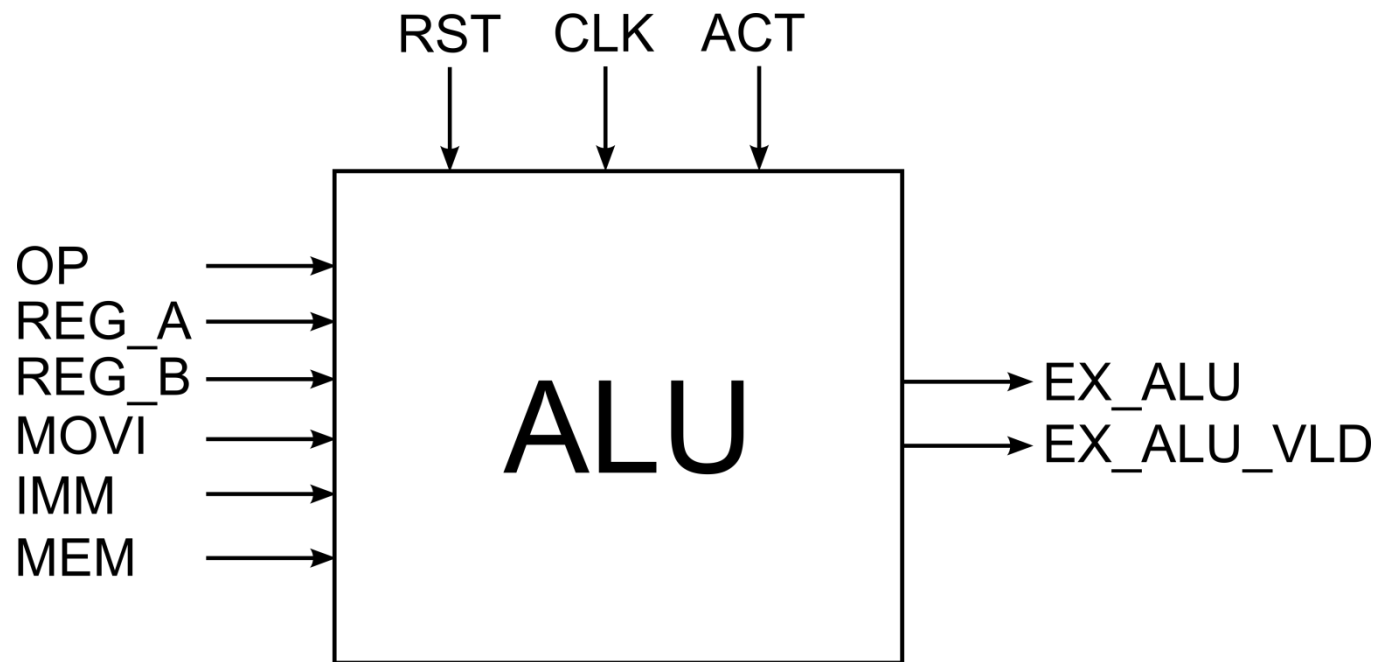
Generické schéma verifikačního prostředí



Verifikace jednotky ALU



Jednotka ALU



Cvičení

- 5 úloh
- podklady umístěné v IS
- zdrojové kódy rozbalit na D:\
- a vypracovat 😊
- video? 😊