

# Možnosti dynamické rekonfigurace



Jan Kaštil

Brno University of Technology, Faculty of Information Technology  
Božetěchova 2, 612 00 Brno, CZ  
[www.fit.vutbr.cz/~ikastil](http://www.fit.vutbr.cz/~ikastil)



evropský  
sociální  
fond v ČR



EVROPSKÁ UNIE



MINISTERSTVO ŠKOLSTVÍ,  
MLÁDEŽE A TĚLOVÝCHOVY



OP Vzdělávání  
pro konkurenceschopnost

INVESTICE DO ROZVOJE VZDĚLÁVÁNÍ

## 3 Úvod

## 4 Základní pojmy

## 5 Problémy moderních číslicových systémů

## 6 Využití Dynamické rekonfigurace

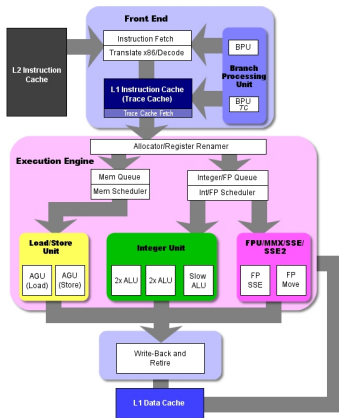
Software Defined Radio

Rychlé přepínání funkcí

Adaptivní hardware

## 9 Postup rekonfigurace

## 10 Vybraná konfigurační rozhraní



## Vlastnosti procesorů

- Jednotky se opakují
- Nevyužitě jednotky se pro úsporu energie vypínají
- Nevyužitě jednotky spotřebovávají zdroje
- Rekonfigurovatelné architektury umožňují nahradit nevyužitě jednotky těmi, kterých je nedostatek

## Pojem

Částečná Dynamická rekonfigurace je změna jedné části FPGA bez nutnosti zastavit funkci zbývajících částí FPGA

### Základní poznatky

- Nativní podpora pouze u Xilinx
- Pro některé další výrobce možno použít RecoBus
- Nutno uvažovat již v počátku návrhu
- Praxe odlišná od teorie

### Částečná Dynamická Rekonfigurace na platformě XILINX

- Virtex
- Spartan

## Pojem

Blok FPGA který je možno rekonfigurovat se označuje jako PRM

## Velikost

- Dlouhá syntéza
- Velké nároky na konfigurační paměť
- Dlouhá doba konfigurace

## Rychlost

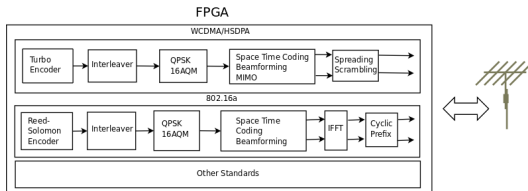
- Specifikace FPGA podporuje systémy s hodinovou frekvencí až 600MHz
- Reálné systémy pracují na 100 – 200 MHz
- Veššina zpoždění je způsobena propojovací sítí FPGA

## Spotřeba

- Nasazení FPGA do embeded aplikací
- Power Over Ethernet – celé zařízení spotřebovává do 15W
- Lze vypínat hodiny pro nepoužitou logiku uvnitř FPGA

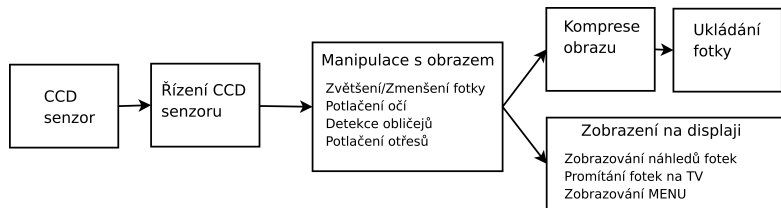
## Software Defined Radio

- Umožňuje změnu komunikačního protokolu v průběhu komunikace
- Při změně protokolu není třeba znovu iniciovat komunikaci
- Zcela transparentní pro komunikující zařízení



## Využití Dynamické rekonfigurace

- Ideální aplikace pro dynamickou rekonfiguraci
- Zpracování komunikačního protokolu je umístěno do RPM
- Komunikující zařízení a fyzická vrstva komunikace jsou implementovány ve statické části



## Mnoho funkcí fotoaparátu

- Využíváme pouze podmožinu všech dostupných funkcí
- Nikdy nechceme zároveň fotit a prohlížet fotky
- Vyžadujeme rychlé změny využívaných funkcí

## Přínosy Dynamické rekonfigurace – menší čip

- Nižší spotřeba prodlouží výdrž baterie
- Nižší cena zařízení
- Jednotlivé bloky jsou jednodušší

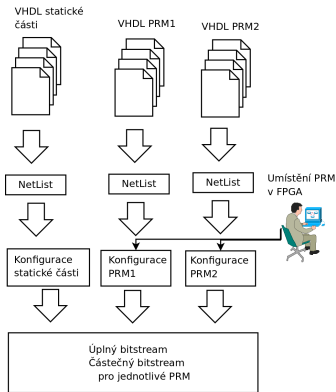
## Samoopravující se Hardware

- Selhání moderních bezpečnostních prvků je způsobeno kumulací chyb
- V některých aplikacích je vyžadována dlouhá životnost
- Ne vždy je poškozené zařízení dostupné

## HW reagující na změnu prostředí

- Vysokorychlostní analýza síťových protokolů
  - Každý protokol má připravenou HW jednotku
  - Podle složení síťového provozu se přidávají potřebné jednotky pro nejčastější protokoly
  - Ostatní protokoly analyzuje obecná jednotka – pomalé
  - Při změně typu zátěže se změní rozložení jednotek
- Ochrana počítačových sítí
  - Upraví hardware FW podle probíhajícího útoku
  - Útok je zastaven v FW a nevytěžuje ostatní prvky sítě





- Nový projekt v PlanAhead
- Aktivovat podporu částečné dynamické rekonfigurace
- Umístit rekonfigurovatelné moduly v FPGA – pomocí pBloků
- Přiřadit náhradní konfigurace pro moduly
- Spustit Implementaci
- Vygenerovat bitstreamy

## JTAG

- 4-vodičové rozhraní
- Relativně pomalé
- Vhodné pro experimenty a debugování

## SelectMAP

- Paralelní externí rozhraní
- Až 32 bitů
- Nutno povolit při konfiguraci FPGA

## ICAP

- Interní rekonfigurační rozhraní
- Obdoba SelectMAPu
- Maximální teoretická propustnost 3.2Gbps ( $32b \times 100MHz$ )
- Nutnost rychlé zásobárny bitstreamů

Děkuji za Pozornost!!