

Možnosti dynamické rekonfigurace



Jan Kaštil

Brno University of Technology, Faculty of Information Technology
Božetěchova 2, 612 00 Brno, CZ
www.fit.vutbr.cz/~ikastil



INVESTICE DO ROZVOJE VZDĚLÁVÁNÍ

3 Úvod

6 Postup rekonfigurace

7 Vybraná konfigurační rozhraní

8 Využití principů dynamické rekonfigurace

Pojem

Částečná Dynamická rekonfigurace je změna jedné části FPGA bez nutnosti zastavit funkci zbývajících částí FPGA

Základní poznatky

- Nativní podpora pouze u Xilinx
- Pro některé další výrobce možno použít RecoBus
- Nutno uvažovat již v počátku návrhu
- Praxe odlišná od teorie

Částečná Dynamická Rekonfigurace na platformě XILINX

- Virtex
- Spartan

Pojem

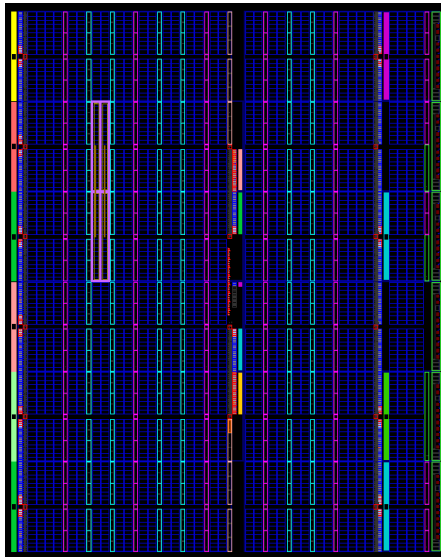
Blok FPGA který je možno rekonfigurovat se označuje jako PRM

Hardwarové limity

- Bezzákmitová paměť
- Jeden frame zahrnuje 20 Slice
- Minimální velikost PRM je 6kB
- Po rekonfiguraci je nutno resetovat PRM

Softwarové limity

- Omezená podpora ze strany XILINX nástrojů
 - ISE9.2 – podpora skončí s vydáním ISE12
 - ISE11.x – pouze tříměsíční licence pro omezený počet uživatelů
 - ISE12 – ještě nevyšla
- Postavena na Partitions
 - Neumožňuje globální optimalizace v MAPu
- Vytvoření PRM je časově náročné a vyžaduje celé vývojové prostředí



Obrázek: 4 PRM moduly o velikosti framu

- Nový projekt v PlanAhead
 - Podpora tcl v planAheadu – možnost řídit s cmd
 - Vložit vygenerované netlisty
 - Zvolit cílovou platformu
 - Nastavit ucf soubor
- Nastavit Partial Reconfiguration Flow
- Nakreslit pBloky pro jednotlivé rekonfigurovatelné moduly
- Vytvořit LOC pro hodinové rozvody
- Označení pBloků za rekonfigurovatelné moduly
- Přiřadit rekonfigurovatelným modulům další netlisty
- Spustit implementaci
- Povýšit implementaci
- Spustit implementaci dalších bitstreamů
- Verifikovat implementace
- Vygenerovat bitstreamy

JTAG

- 4-vodičové rozhraní
- Relativně pomalé
- Vhodné pro experimenty a debugování

SelectMAP

- Paralelní externí rozhraní
- Až 32 bitů
- Nutno povolit při konfiguraci FPGA

ICAP

- Interní rekonfigurační rozhraní
- Obdoba SelectMAPu
- Maximální teoretická propustnost 3.2Gbps ($32b \times 100MHz$)
- Nutnost rychlé zásobárny bitstreamů

Využití při implementaci designů

- Těžko říci jak se zachová na složitých designech
- Spíše než vlastní dynamickou rekonfiguraci lze využít ICAP
- Změny paměti přes ICAP
- Vyčítání stavu designu

Využití při návrhu algoritmů

- Změny pouze malých částí designu
- Veškeré možné konfigurace musí být připraveny předem
- Rozpoznávače protokolu
- Posílení výkonu výpočetních jednotek v závislosti na režimu zatížení sítě
- Vaše návrhy

A nyní diskuze!