

Koncepce integrace práce s FPGA do PE

Zbyněk Křivka, Rudolf Schönecker

krivka@fit.vutbr.cz, schonec@fit.vutbr.cz

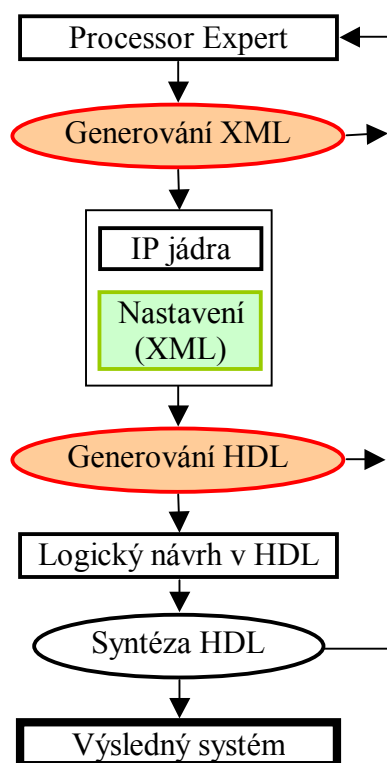
zpráva projektu
Virtuální laboratoř aplikace mikroprocesorové techniky
MŠMT 2C06008

Úvod

Na základě průzkumu použitelných technologií, který byl proveden v loňském a letošním roce, a možnostech parametrizace byly stanoveny dva základní koncepty postupu při realizaci propojení nástroje Processor Expert s nástroji pro syntézu hardware pro FPGA, (Xilinx ISE a EDK).

Koncept č.1: Konfigurace systému v HDL

První koncept je obecnějšího charakteru a je vystavěn tak, aby integraci bylo možné provést s libovolným syntézním nástrojem logického návrhu hardware v FPGA. Logický návrh systému je popisován v HDL jazyce, předepisuje propojení použitých IP komponent a reflektuje nastavení generics parametrů každé z nich. IP komponenty mohou být přiloženy v podobě HDL zdrojového kódu, který je syntetizován ještě před samotným systémem, nebo jsou dodány v podobě souborů již vysyntetizovaného logického návrhu (netlistů).



Produkční cyklus konceptu č. 1:

Specifikace systému uživatelem:

1. Uživatel specifikuje systém v PE (určí architekturu systému a upřesní parametry vybraných IP jader)
2. Uživatel iniciuje proces generování systému, v PE se spustí příkazová dávka produkce systému

Produkce systému:

1. Nástroj: Generátor XML. Ze specifikace systému v PE se vygeneruje kompletní popis logického návrhu ve formátu XML (popis XML příložen)
2. Nástroj: Generátor HDL. Ze specifikace logického návrhu ve formátu XML je vygenerován wrapper logického návrhu v HDL.
3. Nástroj: Syntetizátor hardware. Logický návrh v HDL a použité IP komponenty jsou přeloženy do podoby netlistů, výsledek kompletován do podoby bitstreamu, který lze nahrát do FPGA desky.

Poznámky:

- z důvodu licenčních ustanovení Unis se předpokládá, že nástroj pro generování XML (patrně přímo interní modul PE) bude vyvinut partnerem na projektu – firmu Unis (ze strany FIT vyžaduje pouze dohodu na přesné struktuře a sémantice generovaného XML)
- generování HDL
- skripty pro provedení procesu syntézy budou univerzální vždy v rámci použitého nástroje pro syntézu (např. XST firmy Xilinx) – viz. obecné Makefile produkčního cyklu ISE

V průběhu produkčního cyklu budou generovány informační zprávy pro uživatele, na základě kterých lze sledovat průběh překladu systému. Formát a způsob předání informací z části generování XML a HDL návrhu je na dohodě (PE původně nebyl konstruován pro sledování průběhu dávkového zpracování – navrhujeme proto použít návratových hodnot nástrojů spouštěných dávkově a navíc systémovou proměnnou, která by byla nastavována přímo v příkazové dávce a průběžně periodicky zpracovávána v PE).

Zpětná vazba ze syntézy HDL přináší uživateli informace o průběhu syntézy a implementace hardware. Tato část je však specifická nejen pro konkrétní nástroj pro syntézu, nýbrž i pro konkrétní verzi tohoto nástroje – obecná a přesná analýza výstupních informací není možná (výstupní informace nástroje mají čistě textový charakter, informace půjde nalézt pouze vyhledáním klíčových slov).

Front-end (PE)

Processor Expert (PE) vystupuje v projektu VLAM coby front-end pro specifikaci systému použitých IP komponent a jejich propojení v logickém návrhu systému pro FPGA. PE pracuje na nejvyšší úrovni abstrakce, na HW-SW prvky nahlíží skrze abstrakci v podobě komponent (tzv. Beanů). Pro podrobnější popis nástroje nahlédněte dokumentaci k PE.

Abychom využili úroveň abstrakce nabízenou PE, zadává uživatel specifikaci FPGA systému nastavením speciálního druhu beanů, které zapouzdřují nastavení odpovídajících IP komponent v FPGA návrhu. Z těchto speciálních beanů bude uvnitř modulu pro generování XML extrahováno specifikované nastavení komponent a jejich propojení do podoby návrhu v XML souboru.

Modul generování XML

XML reprezentace logického návrhu systému pro FPGA je myšlena jako výstup PE a zároveň jako vstupní formát pro generátor HDL popisu logického návrhu systému. Poskytuje nastavení vlastností IP komponent použitých v systému a jejich propojení a splňuje základní parametry na uzavřenost PE z pohledu licenčních požadavků PE – nastavení speciálních beanů pro FPGA návrh bude exportovatelné a přitom nebude porušena podmínka uzavřenosti nástroje PE. Generátor XML je uvažován jako interní modul PE, který bude vyvinut přímo vývojáři nástroje PE.

Generátor HDL popisu systému

Na základě specifikace FPGA návrhu systému v XML formátu a na základě báze znalostí je vygenerován HDL popis systému. Popis je tvořen souborem entit IP komponent a entitou systému, jejíž implementace určuje propojení použitých komponent.

Při generování HDL popisu se bude vycházet ze šablon podporovaných architektur, kde jsou pro jednotlivé architektury použity již ověřené formy syntetizovatelných a funkčních hardwarových konfigurací.

Produkční cyklus syntetizátoru

Použity jsou nástroje příkazové řádky produktu Xilinx ISE. Produkční cyklus je podrobněji popsán v dokumentu: popis nástrojů ISE a EDK.

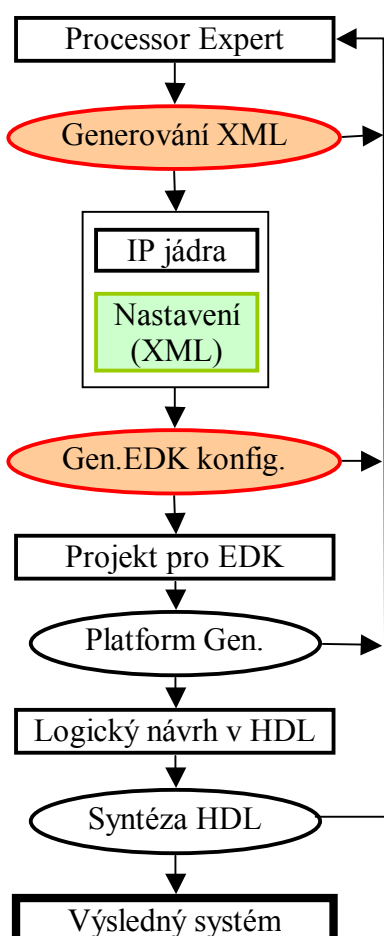
Prototypová implementace konceptu

Ve spolupráci s partnery na projektu, Unis a UTIA, byl implementován prototyp systému založený na tvorbě návrhu v VHDL. Jádrem VHDL implementace návrhu systému se stal software procesor PicoBlaze. FIT se v rámci realizace tohoto prototypu zaměřila na implementaci řídicího programu pro procesor PicoBlaze. Program byl psán v jazyce C pro překladač C pro PicoBlaze (PCComp) od Francesca Poderica.

Realizace prototypu ověřila, že uvedený koncept je realizovatelný a má smysl se dále zaměřit na dílčí aspekty konceptu. Další aktivity na projektu VLAM by měly směřovat na rozšíření obecnosti konceptu (prozatím bylo zvoleno jedno fixní hardwarové schéma, pevný adresový prostor, malý počet podporovaných IP komponent) a zkvalitnění použitých nástrojů (současný stav jediného existujícího překladače C pro PicoBlaze je popsán v dokumentu Omezení PicoBlaze C compiler, viz omezeni_prekladace_pccomp.pdf).

Koncept č.2: Konfigurace systému ve formátu konfigurací pro EDK

Druhý koncept využívá pokročilejších prostředků Xilinx EDK. Logický návrh hardware je sestavován přímo ve formě konfiguračních souborů EDK, ty jsou následně pomocí nástroje Platform Generator převedeny do podoby HDL wrapperu návrhu, na který se aplikuje syntézní nástroj.



Rozšíření oproti konceptu č.1 spočívá v zavedení dalšího mezistupně - generativních prostředků nástrojů příkazové řádky EDK, které umí z projektových souborů vygenerovat kompletní logický návrh HDL.

Produkční cyklus konceptu č. 2:

V produkčním cyklu bude oproti první verzi nahrazen Generátor logického návrhu HDL generátorem EDK projektových souborů a přidáním nástroje Platform Generator, který je součástí EDK.

Důvody uvedení tohoto způsobu:

- potřeba komplexního pochopení problematiky návrhu systému pro FPGA v HDL jazyce – vyšší nároky ze stran uživatele

=> jednodušší popis v konfiguračních souborech projektu EDK

- složitější algoritmy pro generování popisu systému v HDL podobě (i tak je nutné ohraničit rozsah problému, ve zcela obecné podobě není realizovatelné)

=> přesná specifikace popisu návrhu v projektových souborech nástrojů Xilinx, jednodušší algoritmizace

Proti použití konceptu 2 s EDK hovoří naopak:

- zavedení dalšího nástroje do produkčního cyklu – předpokládá současné použití ISE a EDK, z čehož plyne:
 - licenční podmínky použití EDK
 - finanční nároky konceptu (ISE a EDK)
 - větší latence při generování návrhu
 - VHDL návrh je obecnější

Zde je nutné zvážit do jaké míry je výhodnější srozumitelnější popis návrhu a jednodušší způsob generování tohoto popisu, oproti licenčním, finančním i provozním omezením.